

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-017984

(43)Date of publication of application : 17.01.1997

(51)Int.Cl.

H01L 27/12
H01L 21/02
H01L 21/304
H01L 21/308

(21)Application number : 07-164337

(71)Applicant : SUMITOMO SITIX CORP

(22)Date of filing : 29.06.1995

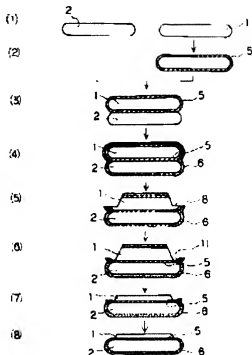
(72)Inventor : TSUDA SHUHEI

(54) BONDED SOI SUBSTRATE MANUFACTURING METHOD

(57)Abstract:

PURPOSE: To provide a manufacturing method of a bonded SOI substrate whereby it can be formed, without reducing the diameter of a wafer, the peripheral ground part can be easily formed into a mirror surface and the warp of the finished adhered SOI substrate can be possibly suppressed.

CONSTITUTION: Either or each of a first semiconductor wafer 1 to form a device surface and a second semiconductor wafer 2 to form a support has a dielectric layer 5. The manufacturing method of a SOI substrate comprises steps closely contacting the mirror faces of both wafers and are heat treating them in an oxidizing atmosphere to adhere them, grinding the marginal edge of the wafer 1 as deep as not damaging the wafer 2, and exposing an oxide film 6 formed on the marginal edge of the wafer 2 in the oxidizing atmosphere. The etching liq. for etching uses a water mixture of ethylene diamine and pyrocatechol or water soln. of tetramethyl ammonium hydroxide.



特開平9-17984

(43) 公開日 平成9年(1997)1月17日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所	
H 0 1 L	27/12		H 0 1 L	27/12	B
	21/02			21/02	B
	21/304	3 2 1		21/304	3 2 1 S
	21/308			21/308	G

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平7-164337

(22) 出願日 平成7年(1995)6月29日

(71) 出願人 000205351

住友シックス株式会社
兵庫県尼崎市東浜町1番地

(72) 発明者 津田 修平

佐賀県杵島郡江北町大字上小田2201番地
住友シックス株式会社九州事業所内

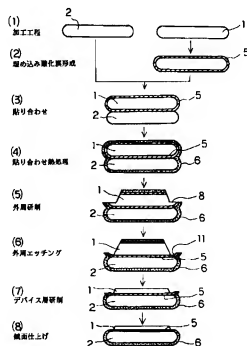
(74) 代理人 弁理士 森 正澄

(54) 【発明の名称】 貼り合わせSOI基板の製造方法

(57) 【要約】

【目的】 ウエーハの直径を減じることなく作成でき、外周研削部を容易に鏡面状態にもたすことができ、しかも完成した貼り合わせSOI基板の反りを可及的に押えることの可能な貼り合わせSOI基板の製造方法をを提供すること。

【構成】 デバイス面となる第1の半導体ウエーハ1及び支持体となる第2の半導体ウエーハ2の一方もしくは双方に誘電体層5を有し、これら半導体ウエーハの鏡面同士を密着させ酸化性雰囲気での熱処理により接着する工程と、第1の半導体ウエーハ1の周縁部を、第2の半導体ウエーハ2にダメージが達しない厚みまで研削する工程と、エッチング液により、酸化性雰囲気中で形成された前記第2の半導体ウエーハ周縁部の酸化膜6を露出させる工程と、を備え、前記エッチングに使用するエッチング液が、エチレンジアミン、ピロカテコール及び水の混合液、又は、水酸化テトラメチルアンモニウム水溶液であること。



【特許請求の範囲】

【請求項1】 デバイス面となる第1の半導体ウエーハ及び支持体となる第2の半導体ウエーハの一方もしくは双方に誘電体層を有するとともに、これら半導体ウエーハの鏡面同士を密着させ酸化性雰囲気内での熱処理により接合する工程と、

前記第1の半導体ウエーハの周縁部を、前記第2の半導体ウエーハにダメージが達しない厚みまで研削する工程と、

酸化膜に対するエッチング速度に比べて半導体ウエーハのエッチング速度が大きいエッチング液により、酸化性雰囲気内で形成された前記第2の半導体ウエーハ周縁部の酸化膜を露出させる工程と、を備え、

前記エッチングに使用するエッチング液が、エチレンジアミン、ピロカテコール及び水の混合液、又は、水酸化テトラメチルアンモニウム水溶液であることを特徴とする貼り合わせSOIの製造方法。

【請求項2】 前記エッチング液が、エチレンジアミン、ピロカテコール及び水の混合液で90℃～98℃に加熱したもの、又は、水酸化テトラメチルアンモニウム水溶液で80℃～95℃に加熱したもので、あることを特徴とする請求項1記載の貼り合わせSOIの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、貼り合わせ半導体基板の製造方法に関するもので、より詳細には、2枚の半導体ウエーハを酸化膜等の誘電体層を介在させて貼り合わせ、一方の半導体ウエーハを規定の厚さまで減らして、半導体単結晶膜を形成するようにした貼り合わせSOI基板の製造方法に関する。

【0002】

【従来の技術】 近時、第1の半導体ウエーハと第2の半導体ウエーハとを誘電体層を介在させて貼り合わせて、貼り合わせウエーハを形成した後、前記第1のウエーハの内厚を所定の厚さまで減らすようにした半導体基板の製造方法が知られている。この製造方法は、従前行われている単結晶層を製造するものに比べて製造工程が簡単であり、しかも結晶の質が比較的良好であって絶縁体層の厚さも大きくとれる等の利点となっている。

【0003】 この種の半導体基板の製造方法においては、鏡面仕上げをした2枚の半導体ウエーハ1、2のうち、少なくとも一方に誘電体層となる酸化膜(SiO₂)を形成しておき、そしてこれら半導体ウエーハの鏡面同士を接合させて、接着ウエーハを形成すると、鏡面加工時に発生するダレによってその周縁部における半導体ウエーハ間に隙間が発生し、未接合部が発生する。

【0004】 この未接合部は、半導体装置を作製する過程で数μmに薄くする際に、この半導体ウエーハの未接合部が剥がれて飛散すると、これが発塵源となって、ウ

エーハ表面がパーティクルで汚染されたり、その一部が表面に付着して加工時に傷付けられたり、また、パターン切れの原因にもなるので、この未接合部を予め除去しておく必要があった。

【0005】 上述した未接合部の除去方法として、下記(a)～(c)のようなものが知られている。

【0006】 (a)：図2に示すように、接着後の半導体ウエーハ1、2の外周部を、前記未接合部1a、2aの幅w1よりも大きな幅w2で、すなわち幅w1<幅w2で(図2(1)参照)、図のA-A線に沿って削り取り(図2(2)参照)、その後デバイス層の研削、鏡面仕上げ等を行う。尚、3は接着ウエーハ、4は隙間で、鏡面加工時に発生するダレによってその周縁部における半導体ウエーハ1、2間に発生するものである。

【0007】 (b)：図3に示すように、半導体ウエーハ1、2の一方に誘電体層5を形成(図3(1)参照)し、これらの半導体ウエーハ1、2のその鏡面同士を接合させて、接着ウエーハ3を形成する(図3(2)参照)。接着後の熱処理によって外周に酸化膜6を形成し(図3(3)参照)、前述した半導体ウエーハ1、2の外周部に発生する幅w1の未接合部を除去する。すなわち、半導体ウエーハ1と半導体ウエーハ2の未接合となる部分(前記図2(1)に示した未接合部1aの幅w1)を含む領域よりも広い幅w3(幅w3>幅w1)を形成(図3(4)参照)するため、半導体ウエーハを研削して貼り合わせ界面7の下方に達する研削部8を形成する(図3(5)参照)。この研削部8は、破砕層を有するため、この破砕層をエッチングにより除去する(図3(6)参照)。尚、9は、エッチング後の研削部である。その後、デバイス層の研削鏡面仕上げ等を行う(図3(7)参照)。

【0008】 (c)：図4に示すように、半導体ウエーハ1、2の一方に誘電体層5を形成(図4(1)参照)し、これらの半導体ウエーハ1、2のその鏡面同士を接合させて、接着ウエーハ3を形成する(図4(2)参照)。接着後の熱処理によって外周に酸化膜6を形成し(図4(3)参照)、前述した半導体ウエーハ1、2の外周部に発生する幅w1の未接合部を除去する。この場合は、半導体ウエーハ1と半導体ウエーハ2の未接合となる部分を含む領域を、厚さ方向に接着界面の直前まで研削し(図4(4)参照)、アルカリ性のエッチング液(KOH水溶液)を使用したエッチングにより研削部8を除去する(図4(5)参照)。尚、10は、エッチング後の研削部である。

【0009】 このときアルカリ性のエッチング液(KOH水溶液)は酸化膜(SiO₂)等の誘電体層に対するエッチング速度よりもシリコンに対するエッチング速度が速いという選択性をもつため、埋め込み酸化膜として利用される誘電体層5、及び貼り合わせ熱処理によって発生する酸化膜6は、ほとんどエッチングされず研削部

8により露出したシリコン部がエッチングされる。その後、フッ化水素水により、酸化膜6を除去し(図4(6)参照)、デバイス層の研削(図4(7)参照)、鏡面仕上げ等を行う(図4(8)参照)。

【0010】

【発明が解決しようとする課題】前記(a)のような場合は、基本的には、半導体ウエーハの直径を減ずることになる。一般に半導体ウエーハは、3インチ、4インチ、5インチ、6インチと直径が決っており、例えば5インチの半導体ウエーハを得るためには、6インチの半導体ウエーハ2枚を必要とし、6インチの半導体ウエーハを得るためには、8インチの半導体ウエーハ2枚が必要になる。このため材料のロスが非常に大きいという問題があった。

【0011】前記(b)のような場合は、外周研削機の精度等を考えたと、貼り合わせ界面より、少なくとも20~30 μm 、下部を研削する必要がある。この研削により生じる破砕層を完全に除去するには、10 μm 以上のエッチングが必要となり、図3に示す貼り合わせ界面とエッチング後の研削部9の上面との段差は、30~40 μm になる。この段差が大きくなるとコーナー部にゴミ等が溜まり易くなり、そのゴミがデバイス工程で、半導体ウエーハ表面に付くという問題があった。

【0012】また、デバイス面は鏡面であり外周部はエッチング面であるため、表面粗さが異なり、外周部の粗さが目立つという問題があった。

【0013】前記(c)のような場合は、外周研削部のエッチング後、保護膜である酸化膜をフッ化水素水にて除去するため、高耐圧用として利用されている貼り合わせSOI基板等では、埋め込み酸化膜層が2~3 μm と厚く、接着ウエーハに反りが発生するという問題があった。

【0014】そこで、フッ化水素水による酸化膜(特に裏面)の除去を行わず裏面の酸化膜を残す方法が考えられる。

【0015】エッチング液として、KOH水溶液を用い、これによりエッチングを行う場合(40%水溶液、95℃)は、シリコンと酸化膜のエッチング比は約(50~100)対1である。そして、例えばエッチングによって除去するシリコンの厚さを外周研削機の精度等を考えて50 μm とすると、酸化膜は0.5~1 μm エッチングされることになって、埋め込み酸化膜厚に比べ裏面酸化膜厚が0.5~1 μm 薄くなり、従って、図5に示す酸化膜厚と反りとの関係から、30 μm ~60 μm の反りが発生する。このように、30 μm ~60 μm の反りが発生すると、デバイス工程でのパターン作成時においてピンボケ等の原因になるという問題があった。

【0016】本発明は、前記各問題点に鑑みてなされたもので、貼り合わせSOI基板を製造するにあたり、ウエーハの直径を減じることなく作成で、外周研削部を

容易に鏡面状態にもたすことができ、しかも完成した貼り合わせSOI基板の反りを可及的に押えることの可能な貼り合わせSOI基板の製造方法を提案するものである。

【0017】

【課題を解決するための手段】本願第1請求項の発明は、デバイス面となる第1の半導体ウエーハ及び支持体となる第2の半導体ウエーハの一方もしくは双方に誘電体層を有するとともに、これら半導体ウエーハの鏡面同士を密着させ酸化性雰囲気内での熱処理により接着する工程と、前記第1の半導体ウエーハの周縁部を、前記第2の半導体ウエーハにダメージが達しない厚みまで研削する工程と、酸化膜に対するエッチング速度に比べて半導体ウエーハのエッチング速度が大きいエッチング液により、酸化性雰囲気内で形成された前記第2の半導体ウエーハ周縁部の酸化膜を露出させる工程とを備え、前記エッチングに使用するエッチング液が、エチレンジアミン、ピロカテコール及び水の混合液、又は、水酸化テトラメチルアンモニウム水溶液である構成の貼り合わせSOIの製造方法である。

【0018】本願第2請求項の発明は、前記請求項1において、前記エッチング液が、エチレンジアミン、ピロカテコール及び水の混合液で90℃~98℃に加熱したもので、又は、水酸化テトラメチルアンモニウム水溶液で80℃~95℃に加熱したもので、である構成の貼り合わせSOIの製造方法である。

【0019】

【作用】本発明のように、エッチング液として使用することが考慮される前述のKOH等のアルカリ性水溶液のかわりに、エチレンジアミン、ピロカテコール及び水の混合液(以下、APW水溶液と略称する。)で、これを90℃~98℃に加熱した水溶液を用いる。この場合、温度上昇とともにシリコンと酸化膜のエッチング比は小さくなり、シリコンのエッチング速度は小さくなるため、90℃以下で用いると、シリコンと酸化膜のエッチング比は500対1以上を確保できるが、シリコンの除去に時間がかかりすぎるという問題があり、また、98℃以上ではエッチング比が小さくなり、且つ、水の蒸発が激しいため使用することは好ましくない。

【0020】また、水酸化テトラメチルアンモニウム水溶液(以下、TMAH水溶液と略称する。)を80℃~95℃に加熱して用いる。この場合、温度上昇とともにシリコンと酸化膜のエッチング比は小さくなり、シリコンのエッチング速度は遅くなるため、80℃以下で用いると、前記APW水溶液と同様に、シリコンの除去に時間が掛りすぎるという問題があり、また、同様に、95℃以上ではエッチング比が小さくなり、且つ水の蒸発が激しいため、使用することは好ましくない。尚、TMAH水溶液は、水酸化テトラメチルアンモニウムを1%以上としている。ここで、水酸化テトラメチルアンモニウム

ウムを15%以上としているのは、次の理由による。すなわち、水酸化テトラメチルアンモニウムが15%未満でも応の効果はあるが、15%以上としてエッチング速度を上げるものである。つまり、一般にエッチング速度を上げるには、(1)温度を高くする、(2)濃度を高くする方法がある。しかし、本実施例では、温度を高くすると、シリコンと酸化膜のエッチング比が小さくなるため、なるべく温度が低い状態で使用することが要請される。そのため、上述したように、水酸化テトラメチルアンモニウムを15%以上として、エッチング速度を上げている。尚、15%未満の水溶液80℃で2時間を超えるので、「15%以上」を作業性の観点から一つの臨界値として採用したものである。

【0021】このようにして作成された貼り合わせSOI基板は、10 μ m以下の反りとなり、デバイス工程でのパターン作成にも良好な結果が得られる。

【0022】

【実施例】以下に、本発明を図1に示す実施例に基づいて説明する。

【0023】本実施例の貼り合わせSOI基板の製造方法は、図1に示すように、半導体ウエーハ1、2を所定形状に加工し(図1(1)参照)、半導体ウエーハ1、2の一方に埋め込み酸化膜となる誘電体層5を形成し(図1(2)参照)し、これらの半導体ウエーハ1、2をその鏡面同士を接合させて、接着ウエーハを形成する(図1(3)参照)。接着後の熱処理(例えば1100℃×2Hr)によって外周に酸化膜6を形成し(図1(4)参照)、前述した半導体ウエーハ1、2の外周部に発生する幅w1の未接着部を除去する。この場合は、半導体ウエーハ1と半導体ウエーハ2の未接着となる部分を含む領域を、厚さ方向に接着界面の直前(約50 μ m手前)まで研削(図1(5)参照)する。

【0024】更に、前記APW溶液又はTMAH溶液によるエッチングを行い、研削による破壊層及び、酸化膜上部のシリコン(研削部8)を除去する(図1(6)参照)。ここで、11は、APW溶液又はTMAH溶液によるエッチング後の研削部である。このとき、酸化膜6は0.005~0.01 μ m程度のエッチングにとどまり、原形をとどめることになる。

【0025】前記APW溶液は、本実施例では、エチレンジアミン17m1、ピロカテコール3 α r水8m1の比率の混合液で、これを90℃~98℃に加熱した水溶液を用いる。

【0026】その後、デバイス層の研削(図1(7)参

照)を行い、鏡面仕上げ等を行う(図1(8)参照)。

【0027】また、前記エッチングにおいて、外周部に残った酸化膜はデバイス層の研削、鏡面仕上げの工程において粉砕され平滑化される。

【0028】このようにして作成された貼り合わせSOI基板は、10 μ m以下の反りとなり、デバイス工程でのパターン作成にも良好な結果が得られることを確認している。

【0029】

【発明の効果】以上説明したように、本発明に係る貼り合わせSOI基板の製造方法によれば、貼り合わせSOI基板の直径を減じることなく作成でき、外周研削部を容易に鏡面状態にできるだけでなく、完成した貼り合わせSOI基板の反りを極力押えることができるものである。

【図面の簡単な説明】

【図1】本発明に係る貼り合わせSOI基板の製造方法を示す工程図である。

【図2】従来例に係り、貼り合わせSOI基板の外周未接着部を示す拡大図である。

【図3】従来例に係り、貼り合わせSOI基板の製造方法を示す工程図である。

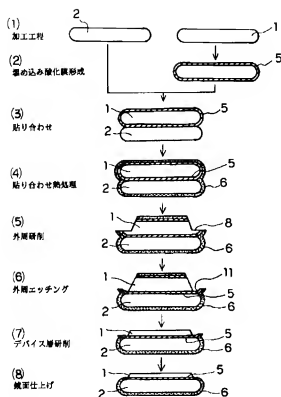
【図4】従来例に係り、貼り合わせSOI基板の製造方法を示す工程図である。

【図5】酸化膜厚と反りとの関係を示す図である。

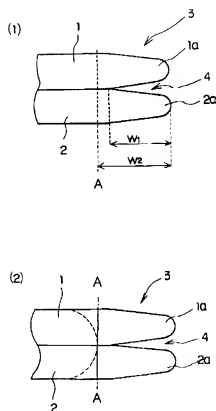
【符号の説明】

- 1 半導体ウエーハ
- 1a 未接着部
- 2 半導体ウエーハ
- 2a 未接着部
- 3 接着ウエーハ
- 4 隙間
- 5 誘電体層
- 6 酸化膜
- 7 貼り合わせ界面
- 8 研削部
- 9 エッチング後の研削部
- 10 アルカリ性水溶液によるエッチング後の研削部
- 11 APW又はTMAHによるエッチング後の研削部
- w1 幅
- w2 幅
- w3 幅

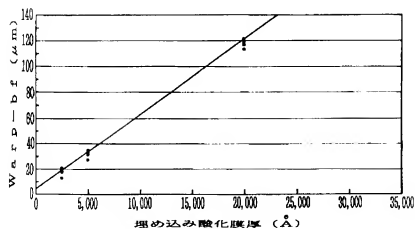
【図1】



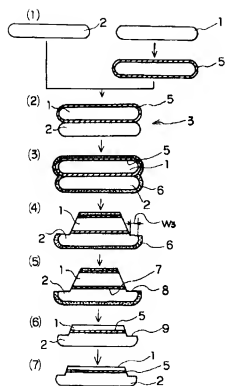
【図2】



【図5】



【図3】



【図4】

